

①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑪ DE 3031342 C2

⑤① Int. Cl. 5:
H03D 3/00
H 04 L 27/14

②① Aktenzeichen: P 30 31 342.9-35
②② Anmeldetag: 20. 8. 80
④③ Offenlegungstag: 16. 4. 81
④⑤ Veröffentlichungstag
der Patenterteilung: 14. 3. 91

DE 3031342 C2

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

③① Unionspriorität: ③② ③③ ③①

26.09.79 US 78916

⑦③ Patentinhaber:

E-Systems, Inc., Dallas, Tex., US

⑦④ Vertreter:

Uexküll, Frhr. von, J., Dipl.-Chem. Dr.rer.nat.;
Stolberg-Wernigerode, Graf zu, U., Dipl.-Chem.
Dr.rer.nat.; Suchantke, J., Dipl.-Ing.; Huber, A.,
Dipl.-Ing.; Kameke, von, A., Dipl.-Chem. Dr.rer.nat.,
Pat.-Anwälte, 2000 Hamburg

⑦② Erfinder:

Shearer, Harry Douglas, Petersburg, Fla., US

⑤⑤ Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

DE 21 52 595 82
US 39 36 762

US-Z.: IBM Technical Disclosure Bulletin, Vol.13,
No.11, April 1971, S.3421-3422;

Vorlage	Ablage	7551
Haupttermin		
Eing.: 27. JUNI 2003		
PA. Dr. Peter Niebling		
Bearb.	Vorsteher	

⑤④ Digital arbeitender Diskriminator

DE 3031342 C2

3808

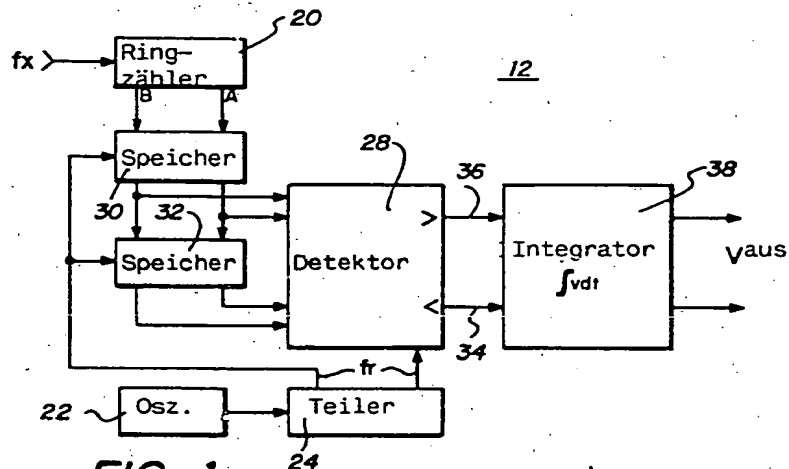


FIG. 1

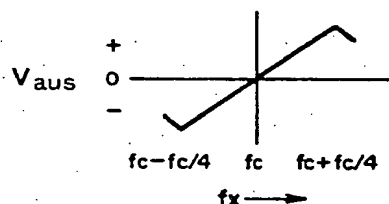


FIG. 2

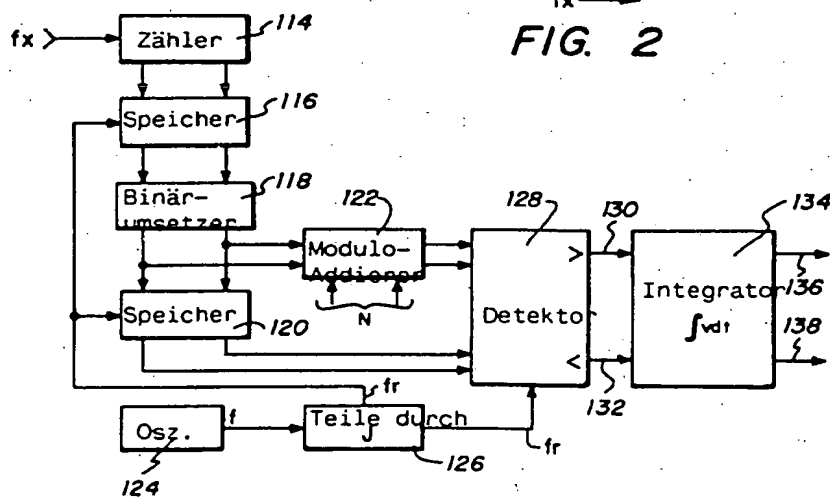


FIG. 4

Beschreibung

Die Erfindung geht aus von einem digital arbeitenden Diskriminator gemäß Oberbegriff des Patentanspruchs 1.

- 5 Aus der US-Z: IBM-Technical Disclosure Bulletin, Vol. 13, No. 11, April 1971, Seiten 3421 bis 3422 ist ein digitaler Frequenzdiskriminator für die Unterscheidung von zwei unterschiedlichen Frequenzsignalen bekannt. Dabei stellt ein Zähler fest, welche von zwei Frequenzen die beste Zuordnung zu einer Eingangssignalfrequenz darstellt. Es ist hingegen nicht möglich, bei der bekannten Schaltung gleichzeitig eine Zählerstandsdivergenz und die Richtung der Abweichung des FM-Signals von einem Bezugssignal anzugeben.
- 10 Aus der DE-AS 21 52 595 ist ein Verfahren für den Vergleich einer Sollfrequenz mit einer nur wenig von ihr abliegende Meßfrequenz und eine Schaltungsanordnung zur Durchführung des Verfahrens bekannt. Dieses bekannte Verfahren hat mit der vorliegenden Erfindung ebenso wenig Berührungspunkte wie das aus der US-PS 39 36 762 bekannte Verfahren, bei dem eine digitale Schaltung zwischen einem Eingangssignal und einem Ausgangssignal unterscheidet und die Differenz dieser beiden Signale als Fehlersignale angibt.
- 15 Aufgabe der Erfindung ist es, einen digital arbeitenden Frequenzdiskriminator dahingehend weiterzubilden, daß für ein FM-Signal und ein Bezugssignal nicht nur eine Differenz ermittelt werden kann, sondern daß es auch möglich ist, die Richtung der Abweichung des FM-Signals von dem Bezugssignal festzustellen.
- Zur Lösung dieser Aufgabe dienen die kennzeichnenden Merkmale des Patentanspruchs 1 in Verbindung mit dessen Oberbegriff.
- 20 Vorteilefreie Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.
- Die Erfindung wird im folgenden anhand von Figuren näher erläutert; es zeigen
- Fig. 1 ein Blockschaltbild einer ersten Ausführung eines Breitband-Digitaldiskriminators;
- Fig. 2 ein Diagramm der Übertragungsfunktion des Digitaldiskriminators gemäß Fig. 1;
- Fig. 3 ein Schemaschaltbild der Logikschaltung des Digitaldiskriminators gemäß Fig. 1;
- 25 Fig. 4 eine zweite Ausführung eines Breitband-Digitaldiskriminators mit vergrößerter Bandbreite;
- Fig. 5 eine Übertragungsfunktion des Diskriminators gemäß Fig. 4 mit einer Frequenzverhältniskonstanten $K=3$ und einer Einzustands-Kompensationskonstanten $N=1$;
- Fig. 6 eine Übertragungsfunktion des Diskriminators gemäß Fig. 4 mit einer Frequenzverhältniskonstanten $K=2$ und einer Kompensationskonstanten $N=2$;
- 30 Fig. 7 eine Übertragungsfunktion des Diskriminators gemäß Fig. 4 mit einer Frequenzverhältniskonstanten $K=1$ und einer Kompensationskonstanten $N=3$;
- Fig. 8 eine Übertragungsfunktion des Diskriminators gemäß Fig. 4 mit einer Frequenzverhältniskonstanten $K=4$ und einer Kompensationskonstanten $N=0$;
- Fig. 9 eine Übertragungsfunktion des Diskriminators gemäß Fig. 4 mit einer Frequenzverhältniskonstanten $K=1$ und einer Kompensationskonstanten $N=3$, wobei außerdem die Detektorlogik zur Bildung eines Diskriminators mit nicht linearer Ausgabe abgewandelt ist;
- 35 Fig. 10 ein schematisches Logikschaltbild des Digitaldiskriminators gemäß Fig. 4;
- Fig. 11a + 11b schematische Logikschaltbilder des Digitaldiskriminators gemäß Fig. 4, wobei die Frequenzverhältniskonstante $K=2$ und die Kompensationskonstante $N=2$ ist;
- 40 Fig. 12 ein Blockschaltbild eines linearen, digitalen Phasen- und Frequenzdetektors;
- Fig. 13 das Ausgangssignal des in Fig. 12 dargestellten Phasendetektors als Funktion des Phasenwinkels; und
- Fig. 14a + 14b Ausgangssignale des Phasendetektors, des Zustandsänderungsdetektors, des Wandlers und die sich daraus ergebende Phasen- und Frequenzangabe für demodulierte Frequenzen, die größer und kleiner als die Bezugsfrequenz sind.
- 45 Die Erfindung dient zur Feststellung von Frequenzunterschieden und Phasenunterschieden zwischen empfangenen frequenzmodulierten (FM)-Signalen der Frequenz f_x und einer Bezugsfrequenz f_r . Hierzu dient ein hochstabiler, äußerst linearer Breitband-Frequenzdiskriminator. Der Betrieb des Diskriminators basiert auf dem Betreiben eines periodischen Zählers mit einer Frequenz f_x , dem wiederholten Abfragen der jeweiligen Zustände in einem Ringzähler 20 bei einer mit der Bezugsfrequenz f_r in Beziehung stehenden Frequenz und durch
- 50 Vergleichen des jeweils vorliegenden und des unmittelbar vorhergehenden abgefragten Zustandes zur Feststellung von Zustandsänderungen, die von dem Aufbau eines kumulativen Schlupffehlers zwischen f_x und f_r hervorgerufen sind. Die Feststellung von Zustandsdifferenzen führt zur Erzeugung eines Signals, das digital verarbeitet oder in analoger Form integriert wird, um eine Diskriminatorausgabe zu liefern. Durch Verwendung eines bekannten Phasendetektors in der erfindungsgemäßen Schaltung lassen sich Phasenunterschiede von weniger als 2π Radian feststellen, um ein kombiniertes Phasen- und Frequenzsignal zu liefern, das die Phasen- und Frequenzdifferenzen zwischen dem empfangenen Signal und dem Bezugssignal angibt.

Breitband-Digitaldiskriminator

- 60 Fig. 1 zeigt in einem Blockschaltbild eine Ausführung eines Breitband-Digitaldiskriminators 12. Ein ankommendes Signal der unbekannten Frequenz f_x wird als Rechtecksimpuls oder als Impulsfolge empfangen und dem Ringzähler 20 eingegeben. Der Ringzähler 20 hat eine endliche Anzahl von Ausgangssignalzuständen, die der Bedingung genügen, daß nicht mehr als eine einzige Bit-Änderung zwischen jeweils zwei aufeinanderfolgenden Zuständen auftritt und daß die Richtungsänderung zwischen aufeinanderfolgenden Zuständen erkennbar ist. Als
- 65 einfachste Schaltung ist hierfür ein Johnson-Zähler geeignet, der durch vier teilt und durch vier synchron mit dem unbekannten f_x -Signal erzeugte eindeutige Zustände läuft. Der durch vier teilende Johnson-Zähler ist ein zweistufiger Linearzähler mit seriell verbundenen Stufen A und B, wobei das inverse Signal der zweiten Stufe B der ersten Stufe A wieder eingegeben wird und der Zähler somit periodisch durch die vier Zustände 0, 1, 2 und 3

auft. Die Zustände 0, 1, 2 und 3 werden durch den vom Ringzähler 20 erzeugten Johnson-Kode erzeugt und sind in der nachstehenden Tabelle I angegeben.

Tabelle 1

Zustand	Zählerausgabe		unkodiert binär
	B	A	
0	0	0	0 0
1	0	1	0 1
2	1	1	1 0
3	1	0	1 1

Man erkennt aus Tabelle I, daß aufeinanderfolgende Zustände des Johnson-Zählers sich nur um eine einzige Bit-Änderung unterscheiden. Werden daher irgendwelche zwei aufeinanderfolgenden Zustände angegeben, so kann man die Richtungsänderung erkennen. Durch vier teilende Johnson-Zähler werden beispielsweise durch Hintereinanderschalten von zwei J-K- oder zwei D-Flip-Flops aufgebaut, die den Ausgang des zweiten Flip-Flops invertierten und an den ersten Flip-Flop als Eingabe zurückführen. Einzelheiten über Johnson-Zähler und ihren Aufbau sind in dem Werk "Digital Principles and Applications" von Malvino und Leach auf den Seiten 219 bis 221 beschrieben, das im Verlag McGraw-Hill 1969 erschienen ist. Eine schematische Erläuterung eines Johnson-Zählers erfolgt weiter unten.

Obleich ein durch vier teilender Johnson-Zähler die einfachste Verwirklichung des Ringzählers 20 darstellt, lassen sich andere Zähler mit zwei oder mehreren Zuständen verwenden, die auch andere Codes liefern, beispielsweise den Gray-Code. Als Bezugssignal wird eine Frequenz f_r von einer stabilen Frequenzquelle 22 abgeleitet. Die Frequenzquelle 22 ist in einer Ausführung ein Einzelfrequenzoszillator, beispielsweise ein externer Kristalloszillator. Die Frequenzquelle 22 ist in einer anderen Ausführung eine Oszillatorschaltung des Typs MC 12061 von der Firma Motorola mit einem extern zugeschalteten Kristall, der eine genau gesteuerte Rechteckschwingung liefert. Durch die Möglichkeit einer Veränderung der Bezugsfrequenz f_r läßt sich eine Entscheidung bezüglich unterschiedlicher Bezugsfrequenzen treffen.

In einer ersten Ausführung wird das Oszillator-22-Signal einem Teiler 24 eingegeben, der das erhaltene Signal durch vier teilt und die Bezugsfrequenz f_r liefert. Das Bezugssignal f_r wird zu einem Zustandsfolgeänderungsdetektor 28 sowie zu zwei Zwischenspeichern 30 und 32 übertragen. Der Teiler ist beispielsweise aus zwei D- oder JK-Flip-Flops gemäß TTL 7474 und TTL 7473 — integrierte Schaltungen der Firma Texas Instruments — in bekannter Weise aufgebaut. (Vgl. Integrated Electronics von Millman and Halkias, Seiten 639 bis 641, Verlag McGraw-Hill 1972).

Die zwischen aufeinanderfolgenden Elementen des Diskriminators 12 hin und her fließende Information ist durch Pfeile angedeutet, wobei jeder Pfeil die Übertragung von einem "Bit" Information darstellt. Demnach zeigen zwei Pfeile zwischen aufeinanderfolgenden Bauelementen die Übertragung von zwei "Bits" Information an, die erforderlich sind, um die vier eindeutigen Zustände des Ringzählers 20 zu beschreiben. Gemäß Fig. 1 wird Information vom Ringzähler 20 zu den Zwischenspeichern 30 und 32 übertragen, welche die jeweiligen und die unmittelbar vorhergehenden abgefragten Zustände des Ringzählers 20 zum späteren Vergleich im Zustandsfolgeveränderungsdetektor 28 speichern.

Die Zwischenspeicher 30 und 32 können jeweils zwei Bits Information speichern und die Johnson-Kode-Darstellung des vorliegenden und des jeweils vorhergehenden Zustandes des Ringzählers 20 behalten. In einer Ausführung sind die Zwischenspeicher 30 und 32 durch beispielsweise zwei Flip-Flops, beispielsweise Dual JK- oder D-Flip-Flops oder durch ein Schieberegister ergänzt, die alle mit f_r getaktet sind. Die kodierte Information in den Zwischenspeichern 30 und 32 wird in den Zustandsfolgeveränderungsdetektor 28 übertragen, der ebenfalls mit f_r getaktet wird. Die zum Vergleich der Information in den Zwischenspeichern 30 und 32 verwendeten Bauelemente müssen die Zustandsinformation arithmetisch in dem Format weiterverarbeiten können, in dem sie ankommt. Die für den Aufbau des Zustandsfolgedetektors verwendete Logik hängt daher von der Art der Eingabe der Information ab. Im Falle der Verwendung eines durch vier teilenden Johnson-Zählers, der Information im Johnson-Kode ausgibt, muß diese Information entweder in eine mit der im Detektor 28 verwendeten Logik kompatible Form umgesetzt werden, oder die Logik des Detektors 28 muß die im Johnson-Kode erscheinende Information aufnehmen und verarbeiten können. In der ersten Ausführung kann der Detektor 28 Information im Johnson-Kode aufnehmen.

Der Betrieb der Schaltung basiert auf der Erzeugung eines periodischen Zustandssignals durch den mit der Frequenz des ankommenden Signals f_x arbeitenden, durch vier teilenden Johnson-Zähler. Wenn das ankommende Signal die gleiche Frequenz wie die Bezugsfrequenz hat, also wenn $f_x = f_r$ ist, dann wird die mit der Frequenz f_r wiederholte Aktualisierung der Zwischenspeicher 30 und 32 den gleichen Wiederholungszustand des Johnson-Zählers 20 abfragen, und die in den Zwischenspeichern 30 und 32 vorliegende Information ist die gleiche, so daß keine Zustandsänderungen vom Zustandsänderungsdetektor 28 festgestellt werden.

Ist die Frequenz des ankommenden Signals f_x kleiner als die Bezugsfrequenz, also $f_x < f_r$, dann treibt das ankommende Signal den Ringzähler 20 mit einem Takt, der nicht mit der Abfrage der Zwischenspeicher 30 und 32 durch die Frequenz f_r synchron ist. Letztlich bewirkt der Frequenzunterschied Δf unterscheidbare Zustandsdifferenzen zwischen den Zwischenspeichern 30 und 32, und diese Zustandsdifferenz wird vom Zustandsfolgedetektor 28 erkannt.

DE 30 31 342 C2

Da der durch vier teilende Johnson-Zähler 20 vier aufeinanderfolgende periodische Zustände 0, 1, 2, 3; 0, 1, 2, 3; etc. aufweist, sind die möglichen Zustände der Zwischenspeicher 30 und 32 zum Zeitpunkt einer einzigen Zustandsdifferenz folgendermaßen:

Tabelle 2

	Zwischenspeicher 30 (vorliegender Zustand)	Zwischenspeicher 32 (unmittelbar vorhergehender Zustand)
0	0	1
1	1	2
2	2	3
3	3	0

Bei Erkennung einer dieser abnehmenden Zustandsänderungen durch den Zustandsfolgedetektor wird ein Impuls am "kleiner als" Ausgang 34 des Detektors 28 ausgegeben. Ist die Frequenz des ankommenden Signals f_x hingegen größer als die Bezugsfrequenz f_r , also bei $f_x > f_r$, dann wird die Differenzfrequenz Δf letztlich eine Zustandsdifferenz zwischen den Zwischenspeichern 30 und 32 von umgekehrter Richtung ausbilden. Die Zustände für die Zwischenspeicher 30 und 32 sind an dieser Stelle bei einer Einzelzustandsdifferenz folgendermaßen:

Tabelle 3

	Zwischenspeicher 30 (vorliegender Zustand)	Zwischenspeicher 32 (unmittelbar vorhergehender Zustand)
0	0	3
1	1	0
2	2	1
3	3	2

Wird eine dieser zunehmenden Zustandsänderungen erkannt, dann erscheint ein Impuls am "größer als" Ausgang 36 des Detektors 28.

Da der Zustandsfolgeänderungsdetektor 28 nur eine einzige Zustandsänderung zwischen aufeinanderfolgenden abgefragten Zuständen auflösen kann, lassen sich mit dem Diskriminator keine Frequenzunterschiede auflösen, die mehr als eine einzige sequenzielle Zustandsänderung der Information je Abfrageperiode zur Folge haben. Die Mittenfrequenz des ankommenden FM-Signals f_x wird als f_c bezeichnet; bei dieser ankommenden Frequenz liefert der Diskriminator als Ausgabe ein Nullsignal. Da bei Δf größer als $f_c/4$ mehr als eine Zustandsänderung zwischen zwei Abfragen auftreten, hat der Diskriminator der ersten Ausführung eine theoretische maximale lineare Bandbreite für das Signal f_x von $f_c/2$, das mittig zu f_c liegt.

Fig. 2 zeigt die Übertragungsfunktion für die Ausgabe des Diskriminators gemäß Fig. 1, V_{out} , als Funktion der Frequenz. Die Übertragungsfunktion ist über die Bandbreite von $\pm f_c/4$ linear und liegt mittig zu f_c .

Die beiden Ausgänge 34 und 36 des Zustandsfolgeänderungsdetektors 28 sind an die Eingänge eines Integrators 38 angeschlossen, der ein aktiver Filter, und zwar eine RC-Schaltung ist, die mit der jeweils verwendeten Frequenz oder mit einem digitalen rekursiven Integrator kompatibel ist. Der Integrator 38 glättet das Ausgangssignal von den Ausgängen 34 und 36 zu einer analogen Diskriminatorausgabe.

Der in Fig. 1 dargestellte Ringzähler 20 läßt sich als Zähler mit sequentiellen Ausgaben aufbauen, die zwei oder mehr Zustände aufweisen. Die Begrenzung auf zwei Zustände läßt sich nur dann verwenden, wenn die erlaubte Bandbreite des unbekannten Signals f_x und die Beziehung dieses Signals zum Bezugssignal f_r die Abweichung des unbekannten Signals f_x auf eine ganzzahlige Richtungsfrequenzänderung begrenzen. Die Mindestanzahl der für eine bidirektionale Auflösung durch den Ringzähler 20 benötigten Zustände ist 3. Mit drei Zuständen deckt eine Größenänderung von ± 1 sowohl zunehmende als auch abnehmende Frequenzänderungen. Bevorzugt wird der Ringzähler 20 als Vierzustands-Johnson-Zähler, da dies in einem Binärsystem leicht verwirklichtbar ist. Für lineare Übertragungsfunktionen vergrößert die Verwendung von vier Zuständen jedoch das Maximum einer Zustandsdifferenz nicht, die mit einem Dreizustandszähler erzielbar ist. Eine zweistufige Größenauflösung läßt sich mit einem Fünfzustandszähler erreichen, der ein Vorzeichen für die Richtung der Frequenzabweichung umfaßt.

Bei dem in Fig. 1 dargestellten Diskriminator 12 geben die Ausgaben des Zustandsfolgeänderungsdetektors 28 sowohl die Richtung (Vorzeichen) und die Größe an. Die Größe wird durch das Auftreten eines Impulses auf einer der beiden Leitungen 34 oder 36 angegeben. Das Vorzeichen der Abweichung folgt aus der Leitung, nämlich 34 oder 36, auf der der Impuls erscheint. Die als Ausgabe vom Diskriminator gemäß Fig. 1 gelieferte Information, nämlich Größe und Vorzeichen, läßt sich auch in anderer Form angeben. So kann die Ausgabe beispielsweise als vielfache Niveaus auf einer einzigen Linie oder als eine Vielzahl von Linien in entweder

seriellem oder parallelem Format ausgegeben werden.

Ein Logikschaltbild des Diskriminators gemäß Fig. 1 ist in Fig. 3 angegeben. Das ankommende Signal f_x wird dem Ringzähler 20 eingegeben, der aus den JK-Flip-Flops 42 und 44 aufgebaut ist. Das f_x -Signal wird unmittelbar an die Takteingänge der Flip-Flops 42 und 44 gelegt. Die den Ringzähler 20 bildenden beiden Flip-Flops sind zu einem Johnson-Ringzähler zusammengeschaltet. Hierzu ist der Q-Ausgang des Flip-Flops 42 mit dem J-Eingang des Flip-Flops 44 und der Q-Ausgang des Flip-Flops 42 mit dem K-Eingang des Flip-Flops 44 verbunden. Der Q-Ausgang des Flip-Flops 44 ist an den K-Eingang des Flip-Flops 42 zurückgekoppelt, während der Q-Ausgang des Flip-Flops 44 an den J-Eingang des Flip-Flops 42 gelegt ist. Diese Schaltung liefert eine periodische Vierzustandsausgabe, wobei jeweils ein Zustand erzeugt wird, wenn eine Periode des ankommenden Signals f_x empfangen wird.

Die beiden Ausgänge des Zählers 20 stellen Eingänge für den mit D-Flip-Flops 46 und 48 aufgebauten Zwischenspeicher 30 auf. Die Zustandssignalausgaben vom Zähler 20 werden an die D-Klemmen der Flip-Flops 46 und 48 gelegt. Die Q-Ausgänge der Flip-Flops 46 und 48 sind an D-Flip-Flops 50 und 52 angeschlossen, die den Zwischenspeicher 32 bilden.

Der Teiler 24 weist zwei JK-Flip-Flops 54 und 56 auf, die das Oszillatorsignal aufnehmen und das Bezugssignal f_r liefern, das an die Takteingänge der Zwischenspeicher 30 und 32 sowie an den Zustandsfolgeänderungsdetektor 28 gelegt wird. Der Q-Ausgang des Flip-Flops 54 ist an den J-Eingang des Flip-Flops 56 gelegt, während der Q-Ausgang des Flip-Flops 54 an die K-Klemme des Flip-Flops 56 angeschlossen ist. In einer Rückkopplungsschaltung ist der Q-Ausgang des Flip-Flops 56 an den K-Eingang des Flip-Flops 54 angeschlossen und in gleicher Weise ist der Q-Ausgang des Flip-Flops 56 mit dem J-Eingang des Flip-Flops 54 verbunden. Das Bezugssignal f_r wird vom Q-Ausgang des Flip-Flops 54 abgenommen und an die Takteingänge jedes Flip-Flops 46, 48, 50 und 52 gelegt. Der Zustandsfolgeänderungsdetektor 28 stellt eine Kombination von logischen Gattern dar, die dann eine Ausgabe liefern, wenn eine Zustandsänderung zwischen den Zwischenspeichern 30 und 32 festgestellt wird. Der Zustandsfolgeänderungsdetektor weist eine erste Gruppe von UND-Gattern 58 bis 64 auf.

Das Q-Ausgangssignal vom Flip-Flop 46 wird an den ersten Eingang der UND-Gatter 58 und 60 sowie an den D-Eingang des Flip-Flops 50 gelegt. Der Q-Ausgang des Flip-Flops 46 ist an den ersten Eingang der UND-Gatter 62 und 64 angeschlossen. Der Q-Ausgang des Flip-Flops 48 ist direkt mit dem Eingang der UND-Gatter 60 und 62 sowie mit der D-Klemme des Flip-Flops 52 verbunden. Ferner ist der Q-Ausgang des Flip-Flops 48 an die übrigen Eingänge der UND-Gatter 58 und 64 angeschlossen.

Der Zustandsfolgeänderungsdetektor 28 besitzt eine zweite Gruppe von Eingangs-UND-Gattern 66 bis 72. Diese sind an die zum Zwischenspeicher 32 gehörenden Flip-Flops angeschlossen. Der Q-Ausgang des Flip-Flops 50 ist an die Eingangsklemmen der UND-Gatter 66 und 68 und der Q-Ausgang an die UND-Gatter 70 und 72 angeschlossen.

Der Zustandsfolgeänderungsdetektor weist eine dritte Gruppe von NICHT-UND-Gattern 74 bis 80 auf, von denen jeweils die Eingangsklemme mit dem zugehörigen Ausgang der UND-Gatter 58 bis 64 verbunden ist. Die zweite Eingangsklemme der UND-Gatter 74 bis 80 liegt an den UND-Gatter 72, 66, 68 und 70. Die vier Ausgänge der NICHT-UND-Gatter 74 bis 80 ist an die vier Eingänge eines NICHT-ODER-Gatters 82 angeschlossen. Der Ausgang dieses Gatters ist wiederum an den ersten Eingang eines NICHT-UND-Gatters 84 angeschlossen. Die Ausgaben vom NICHT-UND-Gatter 84 werden über eine Leitung 86 übertragen.

Eine zweite Gruppe von NICHT-UND-Gattern liegt ebenfalls im Zustandsfolgeänderungsdetektor 28 und umfaßt die logischen Gatter 84 bis 90. Eine erste Eingangsklemme jedes Gatters 84 bis 90 ist an die entsprechende Ausgangsklemme der UND-Gatter 66 bis 72 angeschlossen. Die zweite Eingangsklemme der NICHT-UND-Gatter 84 bis 90 ist jeweils an die Ausgangsleitung der UND-Gatter 64, 58, 60 und 62 angeschlossen. Jeder der Ausgänge der NICHT-UND-Gatter 84 bis 90 ist mit den Eingangsklemmen eines NICHT-ODER-Gatters 92 verbunden. Der Ausgang des NICHT-ODER-Gatters 92 liegt am ersten Eingang eines NICHT-UND-Gatters 94. Der Q-Ausgang des Flip-Flops 56 im Teiler 24 liegt am zweiten Eingang der NICHT-UND-Gatter 84 und 94. Die Ausgaben des NICHT-UND-Gatters 94 werden über eine Leitung 34 übertragen.

Der Integratorkreis 38 ist derart geschaltet, daß er Impulse von den Ausgängen der NICHT-UND-Gatter 84 und 94 aufnimmt. Das Frequenzdifferenzsignal vom NICHT-UND-Gatter 84 wird über einen Widerstand 96 an einen ersten Ausgang 98 geführt. Ein Kondensator 100 ist zwischen die Ausgangsklemmen 98 und 102 geschaltet. In ähnlicher Weise werden die Ausgangssignale vom NICHT-UND-Gatter 94 über einen Widerstand 104 an die Klemme 102 gelegt. Ein Widerstand 106 ist zwischen die Ausgangsklemme 98 und Erde geschaltet, während ein zweiter Widerstand 108 zwischen Erde und Ausgang 102 liegt.

Das analoge Diskriminatorsignal wird zwischen den Klemmen 98 und 102 gebildet.

Im Betrieb liefert der Diskriminator 12 gemäß Fig. 3 eine analoge Ausgabe, die der Frequenzdifferenz zwischen der Frequenz f_x des unbekannten ankommenden Signals und der Bezugssignalfrequenz f_r ist. Das ankommende Signal f_x wird dem Ringzähler 20 eingegeben, der in einer Ausführung ein durch vier teilender Johnson-Zähler ist. Der Johnson-Zähler erzeugt vier eindeutige Folgezustände an zwei Ausgängen. Die Zustände werden mit der gleichen Frequenz wie das empfangene Signal f_x erzeugt. Die vier Zustände werden sequentiell über die Zwischenspeicher 30 und 32 übertragen, die mit einer Abfrage frequenzgetaktet werden, die synchron zur Bezugssignalfrequenz f_r vom Teiler 24 ist. Ist f_x gleich f_r , dann enthalten die Zwischenspeicher 30 und 32 den gleichen Johnson-Kodezustand, wenn aber f_x von f_r verschieden ist, dann gibt es abweichende Zustände in den Zwischenspeichern 30 und 32. Der Zustandsfolgeänderungsdetektor 28 fragt sowohl den Zwischenspeicher 30 als auch den Zwischenspeicher 32 ab und liefert eine Ausgabe auf der Leitung 36, falls der Zwischenspeicher 30 einen höheren Zustand als der Zwischenspeicher 32 enthält. In ähnlicher Weise erzeugt der Zustandsänderungsdetektor 28 einen Ausgangsimpuls auf der Leitung 34, wenn der im Zwischenspeicher 30 gespeicherte Zustand um einen Schritt tiefer liegt als im Zwischenspeicher 32. Die auf den Leitungen 34 und 36 erzeugten Impulse werden einem Integrator 38 eingegeben, der den Kondensator 100 positiv oder negativ lädt.

Der Kondensator 100 ist zwischen die Klemmen 98 und 102 geschaltet. Die Ausgangsimpulse werden zeitlich gemittelt, um ein geglättetes Ausgangssignal zwischen den Leitungen 98 und 102 zu bilden. Dieses Ausgangssignal ist proportional der Frequenzdifferenz zwischen den Signalen f_x und f_r .

Fig. 4 zeigt ein Blockschaltbild einer zweiten Ausführung eines Diskriminators, der im wesentlichen auf gleiche Art arbeitet wie die erste Ausführung, bei dem jedoch eine Entscheidung über Bandbreiten von mehr als $\pm f_c/4$ möglich ist. Die Schaltung gemäß Fig. 1 ist durch Hinzufügung eines Binärumsetzers 118 abgewandelt, der Zustandsinformation in eine leichter arithmetisch verarbeitbare Form umsetzt. Ferner ist ein Modulo-Addierer 122 hinzugefügt, der den auftretenden Zustand des Ringzählers 20 erhöht.

Bei der Ausführung gemäß Fig. 4 wird das ankommende Signal f_x einem Ringzähler 114 eingegeben, der dem Ringzähler 20 in Fig. 1 entspricht. Der Zähler 114 liefert eine Folge von eindeutigen periodischen Zuständen, die in einen Zwischenspeicher 116 übertragen werden. Der vom Zähler 114 erzeugte Kode, vorzugsweise ein Johnson-Kode, wird einem Binärumsitzer 118 eingegeben, der den Johnson-Kode in einen Binärkode zur vereinfachten Erkennung von Zustandsänderungen umsetzt. Die binären Zustandsfolgen werden vom Umsitzer 118 in einen zweiten Zwischenspeicher 120 und in einen Modulo-Addierer 122 übertragen. Bevorzugt wird ein Modulo-Addierer mit einem Vierzustandsring, es ist aber auch jeder andere Modulo-Addierer verwendbar, der Modulo-Arithmetik anwendet. Der Modulo-Addierer 122 empfängt als Eingabe eine Konstante N , die eine "Kompensationskonstante" ist. Der Modulo-Addierer liefert am Ausgang einen Zustand, der N -Zustände zeitlich vor der an seinen Eingängen aufgenommenen Zustandsfolge liegt.

Ein Oszillator 124 liefert ein Taktsignal f_{osc} und überträgt dieses Signal in eine durch 1 teilende Schaltung 126, die ein unterteiltes Taktsignal liefert, welches das Bezugssignal f_r ist. Somit gilt die Beziehung $f_r = f_{osc}/1$. Das Bezugssignal wird an die Zwischenspeicher 116 und 120 gelegt, um diese zu takten.

Ein Zustandsfolgeänderungsdetektor 128 nimmt die vorlaufenden Zustandssignale vom Modulo-Addierer 122 und den im Zwischenspeicher 120 gespeicherten Zustand auf. Der Detektor 128 unterscheidet sich etwas vom Zustandsfolgeänderungsdetektor 28, indem Zustände im Binärkode anstelle des Johnson-Kodes aufgenommen werden. Das Verhältnis der Mittenfrequenz f_c des Signals f_x zur Bezugsfrequenz f_r wird hierin als K bezeichnet. Somit gilt $K = f_c/f_r$. Das Frequenzverhältnis K bestimmt die Geschwindigkeit, mit der das vom Ringzähler erzeugte periodische Signal abgefragt wird. Ist $K = 4$ und weist der Ringzähler vier Zustände auf, dann wird ein Zustand je Zyklus abgefragt und wenn $K = 2$ ist, dann werden alle vom Ringzähler erzeugten Zustände bei $f_x = f_c$ abgefragt.

Das Hinzufügen von Schaltungen, die die Konstanten K und N verwenden, verleiht dem Diskriminator eine größere lineare Bandbreite. Mit einer vorgegebenen Anzahl von Zuständen, die vom Ringzähler erzeugt werden, beispielsweise vier in der Ausführung gemäß Fig. 4, erfolgt eine Abfrage je Periode, wenn $K = 4$ ist. Letzteres gilt für die Ausführung gemäß Fig. 1. Wenn das periodische Signal häufiger abgefragt wird ($K > 1$), dann kann der Zustandsfolgeänderungsdetektor diese Zustandsänderungen nicht auflösen, da mehr als eine Zustandsänderung gegenüber dem vorhergehenden Zustand vorliegt. Diese Schwierigkeit wird durch die Modulo-Addierschaltung ausgeräumt, die den vom Zustandsdetektor gespeicherten Zustand vorsetzt, so daß der vorliegende Zustand unverändert ist. Die Beziehung ist derart, daß die Anzahl der vom Ringzähler erzeugten Zustände gleich der Summe der Konstante K und N für den Fall ist, daß der Zustandsfolgeänderungsdetektor eine größere Zustandsänderung als 1 nicht vollständig auflösen kann.

Der Detektor 128 liefert einen Impuls auf einer Leitung 130, wenn das ankommende Signal f_x den Zustand über den Umsitzer 118 und den Zwischenspeicher 120 über N hinaus verschiebt. Der Detektor 128 liefert einen Impuls auf einer Leitung 132, wenn das Frequenzsignal f_x kleiner als das Bezugssignal ist, um das über den Umsitzer 118 und den Zwischenspeicher 120 übertragene Signal zu verzögern. Die Impulsausgaben vom Zustandsänderungsdetektor 128 werden einem Integrator 134 eingegeben, der ein analoges Diskriminatorausgangssignal zwischen den Klemmen 136 und 138 liefert.

Die Bandbreite des Diskriminators wird dadurch erhöht, daß der Wert von K herabgesetzt wird, also indem die Frequenz des Bezugssignals in bezug auf die Mittenfrequenz f_c erhöht wird.

Durch Anlegen verschiedener Kompensationskonstanten N an den Modulo-Addierer 122 und durch Abfragen des Zählers 114 mit unterschiedlichen Geschwindigkeiten und unterschiedlichen Werten von K kann eine Frequenzunterscheidung nahezu über jede gewünschte Bandbreite erhalten werden.

Dies ist in den Fig. 5 bis 8 dargestellt, die eine große Anzahl von Übertragungsfunktionen zeigen, die aus der Kombination verschiedener K -Werte und verschiedener Kompensationskonstanten N erhalten wurden. Fig. 5 zeigt die Übertragungsfunktion, die aus einem K -Wert von "3" und einer Kompensationskonstante N erhalten wurde, welche einen "1" Zustandsänderung verursacht. Die erhaltene Übertragungsfunktion ist über die Bandbreite $f_c \pm f_c/3$ linear. In Fig. 6 ist ein K -Wert von 2 in einer Schaltung gemäß Fig. 4 zugrundegelegt, wobei die Kompensationskonstante N eine "2" Zustandsänderung verursachte. Die Ausgabe des Diskriminators ist ebenfalls linear über die Bandbreite $f_c \pm f_c/2$. Fig. 7 zeigt eine lineare Übertragungsfunktion für das Band 0 bis $2f_c$. In diesem Fall ist $K = 1$, so daß die Zwischenspeicher mit der Bezugsfrequenz aktualisiert werden. Durch Anlegen einer Kompensationskonstanten N , die eine Zustandsänderung von "3" bewirkte, läßt sich der Diskriminatorbereich auf $2f_c$ ausdehnen. Schließlich zeigt Fig. 8 eine Übertragungsfunktion, die bei Verwendung eines durch vier teilenden Zählers und mit einer Kompensationskonstanten von $N = 0$ erhalten wurde. Diese Wahl der Zähler- und Kompensationskonstanten reduziert die Schaltung auf die erste Ausführung gemäß Fig. 1.

Durch Abänderung der Zustandsfolgeänderungsdetektorlogik gemäß Fig. 4 kann der Arbeitsbereich des Diskriminators auch auf nichtlineare Form ausgedehnt werden. Beispielsweise lassen sich Zustandsänderungsmuster folgendermaßen definieren:

Tabelle 4

Speicher 30	Speicher 32		Speicher 30	Speicher 32
0	3		0	2
1	0	oder	1	3
2	1		2	0
3	2		3	1

um eine Ausgabe an dem "größer als"-Ausgang 130 und

Tabelle 5

Speicher 30	Speicher 32
0	1
1	2
2	3
3	0

um eine Ausgabe am "kleiner als"-Ausgang 132 zu bilden. Bei einer Folge von Zustandsänderungsbedingungen, bei der beispielsweise die Kompensationskonstante $N=3$ ist und der Zähler mit f_c aktualisiert wird, also $K=1$, erhält man am Diskriminatorausgang eine Übertragungsfunktion gemäß Fig. 9, die über den Bereich 0 bis $2f_c$ linear ist und über den Bereich $2f_c$ bis $3f_c$ konstant verläuft. Die Logik vergrößert die Bandbreite der Ausführung gemäß Fig. 4 von $2f_c$ bis $3f_c$.

Eine weitere Ausführung der Erfindung ist in Fig. 10 in Form eines schematischen Logikschaltbildes dargestellt. Dies ist eine Realisierung des Diskriminators gemäß Fig. 4, wobei das Frequenzverhältnis K mit 4 und die Kompensationskonstante N mit 0 gewählt sind. Das ankommende Signal f_x wird an einen Zähler 114 gelegt, der Flip-Flops 146 und 148 enthält. Der Zähler 114 ist ein Johnson-Zähler ähnlich dem Johnson-Zähler 20 gemäß Fig. 3. Das einlaufende Signal f_x wird an die Takteingänge der Flip-Flops 146 und 148 gelegt. Der Q-Ausgang des Flip-Flops 146 ist an den D-Eingang des Flip-Flops 148 angeschlossen. Der Q-Ausgang des Flip-Flops 148 ist mit dem D-Eingang des Flip-Flops 146 in Rückkopplung verbunden.

Die Zustandssignale des Zählers 114 werden in einen ersten Zwischenspeicher 116 mit D-Flip-Flops 152 und 154 übertragen. Die Q-Klemme des Flip-Flops 146 ist an den D-Eingang des Flip-Flops 152 angeschlossen, während der Q-Ausgang des Flip-Flops 148 an den D-Eingang des Flip-Flops 154 angeschlossen ist.

In dieser Ausführung überträgt der Zwischenspeicher 116 das abgefragte periodische Zustandssignal in den Binärumschalter 118 zur Umwandlung des Johnson-Kodes in den Binärkode. Der Umschalter 118 weist zwei NICHT-UND-Gatter 156 und 158 auf, deren Ausgänge an den Eingang eines ODER-Gatters 160 über Inverter angeschlossen sind. Die Eingänge des NICHT-UND-Gatters 156 werden vom Q-Ausgang des Flip-Flops 154 und vom Q-Ausgang des Flip-Flops 152 getrieben. Das NICHT-UND-Gatter 158 hängt mit seinen Eingängen an dem Q-Ausgang des Flip-Flops 154 und an dem Q-Ausgang des Flip-Flops 152.

Der Binärumschalter 118 ist derart geschaltet, daß er den die Flip-Flops 162 und 164 aufweisenden zweiten Zwischenspeicher 120 treibt. Der Ausgang des ODER-Gatters 160 ist sowohl an die D-Klemme des Flip-Flops 162 als auch an einen Eingang des Zustandsänderungsfolgedetektors 128 angeschlossen. Der Q-Ausgang des Flip-Flops 162 ist ferner an den Zustandsänderungsfolgedetektor 128 gelegt. Die D-Klemme des Flip-Flops 164 ist mit dem Q-Ausgang des Flip-Flops 154 verbunden, um von diesem Ausgangssignale aufzunehmen. Der Q-Ausgang des Flip-Flops 164 ist außerdem an den Zustandsfolgeänderungsdetektor 128 angeschlossen.

In dieser Ausführung weist der Zustandsfolgeänderungsdetektor 123 einen 4-Bit-Paralleladdierer, beispielsweise eine integrierte Schaltung des Typs SN5483 TTL auf. Der 4-Bit-Paralleladdierer ist das Bauelement 166. Zusätzlich zu den zuvor erwähnten Eingangssignalen nimmt diese integrierte Schaltung auch die Q-Ausgaben des Flip-Flops 154 auf. Die Eingaben werden an den Anschlüssen 7, 8, 10 und 11 aufgenommen. Die Ausgaben der Schaltung 166 erscheinen an den Anschlüssen 1, 6, 9 und 15 und werden zu UND-Gattern 168 und 170 übertragen. Die Anschlüsse 15 und 9 der integrierten Schaltung 166 sind an die Eingänge des Gatters 168 angeschlossen, während die Ausgänge 9 und 6 der integrierten Schaltung 166 mit den Eingängen eines UND-Gatters 170 verbunden sind. Der Anschluß 1 der integrierten Schaltung 166 ist mit dem Anschluß 6 verbunden. Die Ausgabe des UND-Gatters 168 wird über eine Leitung 130 übertragen und weist Impulse auf, die dann erzeugt werden, wenn eine Zustandsfolgeänderung auf ein Signal f_x zurückzuführen ist, das die Bezugsfrequenz f_r übersteigt. In ähnlicher Weise ist das UND-Gatter 170 angeschlossen, um Ausgaben über eine Leitung 132 zu liefern, und diese Ausgaben sind Impulse, die dann erzeugt werden, wenn die Zustandsfolgeänderungen anzeigen, daß das Signal f_x kleiner als das Bezugssignal f_r ist.

Der J-Teiler 126 empfängt das Oszillatorsignal f_{osc} und weist zwei D-Flip-Flops 172 und 174 auf. Der Teiler 126 ist so gebaut, daß er durch vier teilt und ein Ausgangssignal liefert, das ein Viertel der Frequenz des Oszillatorsignals f_{osc} ist. Das f_{osc} -Signal wird an die Takteingänge der Flip-Flops 172 und 174 gelegt, während das Bezugssignal f_r am Q-Ausgang des Flip-Flops 172 gebildet wird. Das Bezugssignal wird auch an die

D-Klemme des Flip-Flops 174 gelegt. Der Q-Ausgang des Flip-Flops 174 ist über eine Rückführleitung mit der D-Klemme des Flip-Flops 172 verbunden.

Das Bezugssignal vom Q-Ausgang 172 wird an die Takteingänge der in den Zwischenspeichern 116 und 120 verwendeten Flip-Flops gelegt.

5 Der Integrator 134 empfängt Impulse auf den Leitungen 130 und 132, die an Treiberverstärker 176 und 178 angeschlossen sind. Diese Verstärker arbeiten jeweils auf zweipolige Schalter 180 und 182. Werden Impulse auf der Leitung 130 aufgenommen, dann treiben diese den Schalter 180, während auf der Leitung 130 übertragene Impulse den Schalter 182 treiben. Die Eingangsklemmen der Schalter 180 und 182 sind an in Widerstandsnetzwerk angeschlossen, das die Widerstände 184, 186 und 188 aufweist, die zwischen positive und negative Spannungsanschlüsse in Serie geschaltet sind. Der Verbindungspunkt der Widerstände 184 und 186 ist mit den Klemmen der Schalter 180a und 182b verbunden, während die Verbindung der Widerstände 186 und 188 mit den Klemmen der Schalter 180b und 182a verbunden ist.

Die Ausgangsanschlüsse der Schalter 180a und 182a sind untereinander verbunden und an einen Widerstand 190 angeschlossen. Auf ähnliche Weise sind die Ausgänge der Schalter 180b und 182b miteinander verbunden und an einen Widerstand 192 angeschlossen. Zwei Ladungsspeicher-kondensatoren 194 und 196 sind in Serie zwischen die freien Enden der Widerstände 190 und 192 geschaltet, wobei die Verbindung der Kondensatoren geerdet ist. Die Kondensatoren 194 und 196 werden durch Betätigen der Schalter 180 und 182 geladen und entladen. Die Verstärker 176 und 178 wirken zusammen mit den Schaltern 180 und 182 als bipolare Wandler.

Die in den Kondensatoren 194 und 196 gespeicherten Signale werden jeweils durch die Widerstände 198 und 200 zu den invertierenden und nicht-invertierenden Eingängen eines Verstärkers 202 übertragen. Ein Rückkopplungsnetzwerk mit einer parallelen Anordnung von einem Widerstand 204 und einem Kondensator 206 verbindet den Ausgang des Verstärkers 202 mit dem invertierenden Eingang. Die Eingangsschaltung für den nicht-invertierenden Eingang des Verstärkers 202 weist einen parallel zu einem Kondensator 210 liegenden Widerstand 208 auf, wobei das freie Ende der Parallelschaltung geerdet ist. Die analoge Ausgabe des Diskriminators wird zwischen den Klemmen 136 und 138 erzeugt. Das Signal ist proportional zur Frequenzdifferenz zwischen dem ankommenden Signal f_x und dem Bezugssignal f_r .

Die in Fig. 10 dargestellte Schaltung unterscheidet sich von der Schaltung gemäß Fig. 3 im wesentlichen durch den Binärumschalter 118. Der Binärumschalter 118 wandelt den vom Ringzähler 114 erzeugten Johnson-Kode in einen Binärkode um, der einfach und leicht durch übliche integrierte Schaltungen 166 verarbeitbar ist. Ferner besteht ein Unterschied im Aufbau des Integrators 134, der eine bipolare Wandlereinheit mit den Verstärkern 176 und 178 sowie den Schaltern 180 und 182 aufweist.

Die in den Fig. 11a und 11b dargestellte Schaltung ist eine Weiterbildung der Schaltung gemäß Fig. 4. Für die Schaltung gemäß Fig. 10 gilt der Frequenzverlauf gemäß Fig. 6 mit $K=2$ und Kompensationskonstante $N=2$. Die in den Fig. 11a und 11b dargestellte Schaltung besitzt eine Bandbreite, die der Mittenfrequenz f_c gleich ist. Die digitale Diskriminatorausgabe liegt zentrisch zur Mittenfrequenz und überdeckt $1/2$ dieser Frequenz über die positive und negative x-Achse.

Die in den Fig. 11a und 11b dargestellte Weiterbildung der Schaltung gemäß Fig. 4 unterscheidet sich dadurch, daß kein Binärumschalter vorgesehen ist. Das Eingangssignal f_x ist ein frequenzmoduliertes Signal, das sich zwischen 275 Hz und 825 kHz ändert und um 550 kHz mittig verteilt ist.

40 Der Zähler 114 weist D-Flip-Flops 232 und 233 auf, die auf die gleiche Weise wie in Fig. 10 geschaltet sind. Der Ausgang des Zählers 114 ist ein periodischer Vierzustands-Johnson-Zähler, dessen Ausgaben über zwei an den ersten Zwischenspeicher 116 gelegte Leitungen übertragen werden.

Der Zwischenspeicher 116 weist D-Flip-Flops 234 und 235 auf. Die beiden Leitungen vom Ringzähler 114 sind jeweils an die D-Eingänge der Flip-Flops angeschlossen.

45 Der im Zwischenspeicher 116 gespeicherte 2-Bit-Zustand wird in einen Zwischenspeicher 120 mit Flip-Flops 236 und 238 übertragen. Das Zustandssignal wird vom Q-Ausgang des Flip-Flops 232 abgenommen und an den D-Eingang des Flip-Flops 238 gelegt und vom Q-Ausgang des Flip-Flops 235 zum D-Eingang des Flip-Flops 236 geführt.

Der Teiler 126 nimmt die Oszillatorfrequenz f_{osc} auf, die in einer Ausführung 1,1 MHz ist. Der Teiler 126 weist 50 D-Flip-Flops 240 und 242 auf, die das Signal f_{osc} an ihren Takteingängen aufnehmen. Der Q-Ausgang des Flip-Flops 240 ist an den D-Eingang des Flip-Flops 242 angeschlossen, und der Q-Ausgang des Flip-Flops 242 ist über eine Rückführleitung mit der D-Klemme des Flip-Flops 240 verbunden. Die Bezugssignalfrequenz f_r wird am Q-Ausgang des Flip-Flops 240 erzeugt und an die Takteingänge der Flip-Flops 234, 235, 236 und 238 gelegt.

Der Zustandsfolgeänderungsdetektor 128 ist so angeschlossen, daß er die Zustände der Zwischenspeicher 116 55 und 120 aufzeigt und eine Ausgabe liefert, wenn sich die Zustände dieser beiden Speicher unterscheiden. Der Modulio-Addierer 122 ist in logischer Schaltung in den Detektor 128 eingebaut. Der Detektor 128 weist eine erste Gruppe von UND-Gattern 244 bis 250 auf, die durch die Ausgangssignale vom Zwischenspeicher 116 gespeist werden. Der Q-Ausgang des Flip-Flops 234 liegt an den Eingängen der UND-Gatter 244 und 250 während der Q-Ausgang des Flip-Flops 235 an die Eingänge der UND-Gatter 246 und 248 angeschlossen ist. Der 60 Flip-Flop 235 ist mit seiner Q-Ausgangsklemme an die Eingänge der UND-Gatter 248 und 250 angeschlossen während die Q-Klemme des Flip-Flops 235 an die Eingänge der UND-Gatter 244 und 246 gelegt ist.

Eine zweite Gruppe von UND-Gattern im Detektor 128 empfängt die Ausgaben des Zwischenspeichers 120. Dies sind die UND-Gatter 252 bis 258. Der Zustand des Flip-Flops 236 wird von seinem Q-Ausgang abgenommen und den UND-Gattern 256 und 258 eingegeben, während die Q-Ausgaben des Flip-Flops 236 an die 65 Eingänge der UND-Gatter 252 und 254 geführt werden. Der Zustand des Flip-Flops 238 wird dadurch in den Detektor 128 übertragen, indem die Q-Klemme des Flip-Flops 238 an die Eingänge der UND-Gatter 252 und 254 und die Q-Klemme an die Eingänge der UND-Gatter 254 und 256 angeschlossen sind.

Den acht UND-Gattern 244 bis 258 sind im Detektor 128 eine Anzahl von NICHT-UND-Gattern 260 bis 274

nachgeschaltet. Diese Gruppe von NICHT-UND-Gattern nimmt die Ausgaben der UND-Gatter 244 bis 258 in folgender Weise auf. Der Ausgang des Gatters 244 ist an die Eingänge der NICHT-UND-Gatter 260 und 268 angeschlossen. Das UND-Gatter 246 ist an die Eingänge der NICHT-UND-Gatter 262 und 270 gelegt. Der Ausgang des UND-Gatters 248 ist an die Eingänge der NICHT-UND-Gatter 264 und 272 angeschlossen. Das Gatter 250 liefert Eingaben an die Eingänge der Gatter 266 und 274. Das UND-Gatter 252 steuert die Eingänge der NICHT-UND-Gatter 266 und 270. Die Ausgabe des UND-Gatters 254 ist an die Eingänge der NICHT-UND-Gatter 260 und 272 gelegt. Das UND-Gatter 258 ist ausgangsseitig an die Eingänge der NICHT-UND-Gatter 264 und 268 angeschlossen.

Die Ausgänge der NICHT-UND-Gatter 260 bis 266 sind über invertierende Eingänge an ein ODER-Gatter 276 angeschlossen; die Ausgänge der NICHT-UND-Gatter 268 bis 274 sind über invertierende Eingänge mit einem ODER-Gatter 278 verbunden. Der Ausgang des ODER-Gatters 276 ist an einen Eingang eines UND-Gatters 280 gelegt. Das ODER-Gatter 278 liefert eine erste Eingabe für ein UND-Gatter 282. Ein Taktsignal mit einer Nominalfrequenz von 275 kHz wird vom Teiler 126 an die zweiten Eingänge der UND-Gatter 280 und 282 geliefert. Dieses Taktsignal ist gegenüber dem zum Takten der Zwischenspeicher 116 und 120 verwendeten Bezugssignal phasenversetzt. Das am Ausgang des UND-Gatters 280 erzeugte Signal wird auf einer Leitung 130 übertragen und stellt Impulse dar, die immer dann erzeugt werden, wenn eine erkannte Zustandsänderung zwischen den Zwischenspeichern 116 und 120 anzeigt, daß die Signalfrequenz f_x größer als die Mittenfrequenz f_c ist. In ähnlicher Weise liefert das UND-Gatter 282 Ausgaben auf einer Leitung 132, wenn die Signalfrequenz f_x kleiner als die Mittenfrequenz f_c ist.

Der Modulo-Addierer 122 gemäß Fig. 4 ist in die den Zustandsfolgeänderungsdetektor 128 umfassende Logik eingebaut und enthält keine getrennte Gruppe von logischer Gatter. Der Modulo-Addierer erhöht den jeweiligen Zählerstand des hier vorliegenden Zwischenspeichers 116 um zwei Schritte. Dies vergrößert die Bandbreite in der in Fig. 6 dargestellten Weise.

Die auf den Leitungen 130 und 132 auftretenden Impulssignale werden zu dem Analogintegrator 134 übertragen. Dieser Integrator arbeitet auf die gleiche Weise wie der Integrator gemäß Fig. 10.

Die Impulse auf den Leitungen 130 und 132 werden in Verstärker 292 und 294 geleitet, die ihrerseits die zweipoligen Schalter 296 und 298 betätigen. Der zweipolige Schalter 296 weist einzelne Schalter 296a und 296b auf; das gleiche gilt für den zweipoligen Schalter 298 mit den Schaltern 298a und 298b. Die Eingänge der Schalter 296 und 298 sind an eine Hintereinanderschaltung von Widerständen 300 bis 304 gelegt, die zwischen die positive und negative Versorgungsspannung geschaltet sind. Überbrückungskondensatoren 306 und 308 sind ebenfalls an diese Versorgungsquelle angeschlossen. Die Verbindung der Widerstände 300 und 302 ist an den Schalter 296a und den Schalter 298b angeschlossen. Die Verbindung der Widerstände 302 und 304 ist an die Schalter 296b und 298a angeschlossen. Die Ausgänge der Schalter 296a und 298a sind zusammengefaßt an den ersten Anschluß eines Widerstandes 310 gelegt. Auf ähnliche Weise sind die Schalter 296b und 298b miteinander verbunden und an den ersten Eingang eines Widerstandes 312 gelegt. Die freien Anschlüsse der Widerstände 310 und 312 sind jeweils geerdet. Die gemeinsamen Klemmen der Schalter 296a und 298a sind über eine in Reihe geschaltete Widerstandskombination 314, 316 und 318 mit dem invertierenden Eingang eines Verstärkers 320 verbunden. Der gemeinsame Anschluß der Schalter 296b und 298b ist über eine Serienschaltung von Widerständen 322, 324 und 326 mit dem nicht-invertierenden Eingang eines Verstärkers 320 verbunden.

Ein Kondensator 328 ist mit einem Bein an die Verbindung der Widerstände 314 und 316 und mit einem anderen Bein an die Verbindung der Widerstände 322 und 324 angeschlossen. Ein zweiter Kondensator 330 ist mit einem Bein an die Verbindung der Widerstände 316 und 318 und mit einem anderen Bein an die Verbindung der Widerstände 324 und 326 angeschlossen. Ein Rückkopplungswiderstand 332 liegt zwischen dem Ausgang des Verstärkers 320 und dessen invertierendem Eingang. Das Ausgangssignal des Diskriminators erscheint zwischen den Klemmen 136 und 138. Dieses zuvor beschriebene Signal ist ein analoges Signal, das proportional der Frequenzdifferenz zwischen dem ankommenden Signal f_x und dem Mittenfrequenzsignal f_c ist.

Es ist dem Fachmann klar, daß Veränderungen an der Logikschaltung zur Erzielung unterschiedlicher Übertragungsfunktionen vornehmbar sind und daß auch andere Zähler als Johnson-Zähler mit mehr oder weniger als vier Zuständen verwendet werden können, ohne vom Erfindungsgedanken abzuweichen. Beispielsweise können Gewichtungsfaktoren für verschiedene abgefragte Zustandsfolgen und andere Arten der Integration verwendet werden, die eine nahezu gleiche wirksame Bandbreite und/oder Übertragungsfunktion liefern.

Der anhand der Fig. 1 bis 4 beschriebene Breitbanddigitaldiskriminator hat eine breite Deviationsfähigkeit, ist hoch linear und hat verhältnismäßig große Bandbreiten, die außerdem leicht durch einfache Veränderung der Schaltungsbauteile veränderbar sind. Ferner ist der Diskriminator praktisch vollständig digital aufbaubar und durch Veränderung der Bezugsfrequenz fernprogrammierbar.

Linearer Phasen- und Frequenzdetektor

Der zuvor beschriebene digitale Diskriminator läßt sich durch Hinzufügen eines üblichen Phasendetektors zu einem feinabgestimmten Phasen- und Frequenzdetektor weiterbilden. Während die vom Diskriminator feststellbare maximale Frequenzdifferenz von der Wahl des Zählers, vom Frequenzverhältnis K und von der verwendeten Kompensationskonstanten N abhängt, ist die minimale Auflösung des Diskriminators eine einzige Zustandsänderung, die eine Phasendifferenz von 2π Radian darstellt. Zur Verbesserung dieser Auflösung wird ein üblicher Phasendetektor hinzugefügt, der Phasendifferenzen von weniger als 2π Radian bis hinunter zu dessen minimaler Auflösung aufzulösen vermag. Eine feine Phasen- und Frequenzauflösung ist insbesondere für breitbandige phasenstabile Schleifen von Bedeutung. Bei den meisten Phasen- und Frequenzdetektoren sind die Ausgaben sehr stark nichtlinear, und das Fehlersignal geht nicht wesentlich über 2π Radian hinaus. Durch Verwendung eines Phasen- und Frequenzdetektors mit großer Frequenzdifferenzauflösung sowie guter Min-

destauflösung läßt sich eine verbesserte Aufnahmegeschwindigkeit für phasenstarre Schleifen erreichen.

Fig. 12 zeigt eine Weiterbildung der Diskriminatorschaltung gemäß Fig. 4 mit einem zusätzlichen linearen digitalen Phasen- und Frequenzdetektor. Der J-Teiler 126 ist durch einen Johnson-Durchvierteiler 340 ersetzt, der quadrierte, unterteilte Signale von $\frac{1}{4}$ der Frequenz liefert. Der Johnson-Durchvierteiler 340 wird durch das Erfordernis der quadrierten Signale notwendig, um die Ausgaben eines Phasendetektors 342 gleichzeitig mit der Diskriminatorausgabe zu erhalten. Der Oszillator 124 arbeitet mit einer Frequenz von $4f_c$, so daß die Zwischenspeicher 116 und 120 und der Detektor 128 mit der Bezugsfrequenz f_r getaktet werden. Gemäß Fig. 12 aktualisiert eine unterteilte Frequenz f_r die Zwischenspeicher 116 und 120. Ein zweites unterteiltes Signal der Frequenz f_r , das mit dem Oszillatorsignal $4f_r$ in Phasenbeziehung steht, wird dem üblichen Phasendetektor 342 eingegeben. Ein drittes unterteiltes Signal der Frequenz f_r treibt den Zustandsfolgedetektor 128. Fig. 12 zeigt theoretische Phasenwinkel für die drei unterteilten Frequenzen des Johnson-Zählers 340, obgleich in der Praxis eine gewisse Phasenregelung erforderlich sein wird.

Die ankommende Frequenz f_x und die Bezugsfrequenz f_r werden in den linearen Phasendetektor 342 eingespeist, der eine lineare Übertragungsfunktion gemäß Fig. 13 aufweist. Der Phasendetektor 342 ist beispielsweise durch digitale TTL-Logik aufgebaut, beispielsweise als Exklusiv-ODER-Gatter mit zwei Eingängen als Bauelement TTL 7486 der Firma Texas Instruments. Die Ausgabe des Detektors 342 wird einem Tiefpaßfilter 344 eingegeben, das ein aktives Filter oder eine für die infrage kommenden Frequenzen speziell gebautes RC-Glied ist. Die Ausgabe des Filters 344, nämlich ein die Phasendifferenz zwischen dem ankommenden Signal und der Mittenfrequenz angegebendes Analogsignal wird schließlich in einer Summierschaltung 346 mit einem analogen Signal aufsummiert, das die Frequenzdifferenz zwischen dem ankommenden Signal und der Mittenfrequenz darstellt, um ein fein abgestimmtes Phasen- und Frequenzdifferenzsignal zu liefern.

Vom Detektor 128 werden Impulse mit einer Frequenz ausgegeben, die der Frequenzabweichung Δf entsprechen. Die Ausgaben des Zustandsfolgeänderungsdetektors 128 werden an einen Auf/Ab-Zähler 348 gelegt, der beim Auftreten von Impulsen am "größer als"-Ausgang 130 aufwärts zählt und bei am "kleiner als"-Ausgang 132 auftretenden Impulsen abwärts zählt. Der Zähler 348 liefert eine Schrittfunktion entsprechend der Frequenzdifferenz zwischen dem ankommenden Signal und der Mittenfrequenz. Der Zähler 348 ist beispielsweise durch eine integrierte Schaltung TTL 74191 oder 74192 der Firma Texas Instruments realisiert. Die Ausgaben des Auf/Ab-Zählers 348 werden an einen Digital/Analog-Wandler 350 gelegt, der ein analoges Signal entsprechend der festgestellten Frequenzdifferenz ausgibt. Als Digital/Analog-Wandler ist eine integrierte Schaltung des Typs DAC08 der Firma Analog Devices oder ein geeignet aufgebautes R-2R-Leiternetzwerk geeignet.

Die Ausgaben des Digital/Analog-Wandlers 350 werden mit den Ausgaben vom Integrator 46 in einer Summierschaltung 346 aufsummiert, um ein Ausgangssignal zu liefern, das auf die Frequenz- und Phasendifferenzen zwischen dem ankommenden Signal und der Mittenfrequenz feinabgestimmt ist. Ein Operationsverstärker, beispielsweise ein Typ 741 der Firma National Semiconductor, ist in zahlreichen Anwendungsfällen als Summierglied 346 geeignet.

Die Fig. 14a und 14b zeigen die Ausgaben des Phasendetektors 342 an den "größer als"- und "kleiner als"-Ausgängen 130 und 132 und die Ausgaben des Digital/Analog-Wandlers 350 sowie der Summierschaltung 346. Fig. 14a zeigt diese drei Ausgaben für das ankommende Signal f_x , dessen Frequenz größer ist als die Mittenfrequenz f_c , während Fig. 14b diese drei Ausgaben für ankommende Signale f_x darstellt, deren Frequenzen kleiner als die Mittenfrequenz f_c sind.

Mit dieser Schaltung sind Phasen- und Frequenzfeststellungen in Bereichen größer als $\pm \pi$ Radian möglich, und die Voreinstellungsanforderungen für phasenstarre Schleifen sind ausgeschaltet oder vermindert. Außerdem ist dadurch eine Vereinfachung von Schaltungen mit veränderlichem Schleifenansprechvermögen hergestellt. Ferner sind die Aufnahmegeschwindigkeiten und die gesamte Schleifenstabilität verbessert.

Anhand der Ausführungsbeispiele sind bestimmte logische Bauelemente angegeben worden, es ist jedoch klar, daß die zu wählenden Bauelemente je nach Art der Arbeitsfrequenzen, der Leistungsanforderungen und anderer Eigenschaften der Schaltung, in der der Detektor eingesetzt wird, auszuwählen sind.

Patentansprüche

1. Digital arbeitender Diskriminator zur Demodulation eines frequenzmodulierten (FM) Signals mit einem Oszillator (22) und einem nachgeschalteten Teiler (24) zum Erzeugen eines Bezugssignals (f_r), dessen Frequenz in bestimmter Beziehung zur Mittenfrequenz (f_c) des FM-Signals steht, und mit einem Zähler (20), der in Abhängigkeit von dem FM-Signal ein Signal erzeugt, das eine sich wiederholende Folge von eindeutigen Zählerständen darstellt, und ferner mit Zwischenspeichern (30, 32) zum Abfragen des vom Zähler (20) erzeugten Signals in durch das Bezugssignal (f_r) gesteuerter Weise und zum Speichern von mindestens zwei aufeinanderfolgend abgefragten Zählerstände der Ausgabe des Zählers (20), dadurch gekennzeichnet, daß ein Detektor (28) an die Ausgänge der Zwischenspeicher (30, 32) angeschlossen ist, mit der Bezugsfrequenz (f_r) getaktet wird und aufgrund einer Differenz in den Ausgangssignalen der Zwischenspeicher (30, 32) sowie der Richtung dieser Differenz entsprechende Ausgangssignale liefert.
2. Diskriminator nach Anspruch 1, dadurch gekennzeichnet, daß der Zähler (20) ein Ring-Zähler ist.
3. Diskriminator nach Anspruch 1, dadurch gekennzeichnet, daß dem Detektor (28) ein Analogintegrator (38) zur Aufnahme der gepulsten Ausgangssignale nachgeschaltet ist, der analoge Unterscheidungssignale ausgibt.
4. Diskriminator nach Anspruch 1, gekennzeichnet durch einen Umsetzer (118) zum Umsetzen der Zählerstände des Zählers (20; 114) in ein binär kodiertes Signal.
5. Diskriminator nach Anspruch 4, gekennzeichnet durch einen dem Zähler (114) nachgeschalteten Moduladdierer (122).

DE 30 31 342 C2

kriminators nach Anspruch 2, dadurch gekennzeichnet, daß der Ring-Zähler (20, 114) ein durch vier der Zähler ist.

Hierzu 7 Seite(n) Zeichnungen

5

10

15

20

25

30

35

40

45

50

55

60

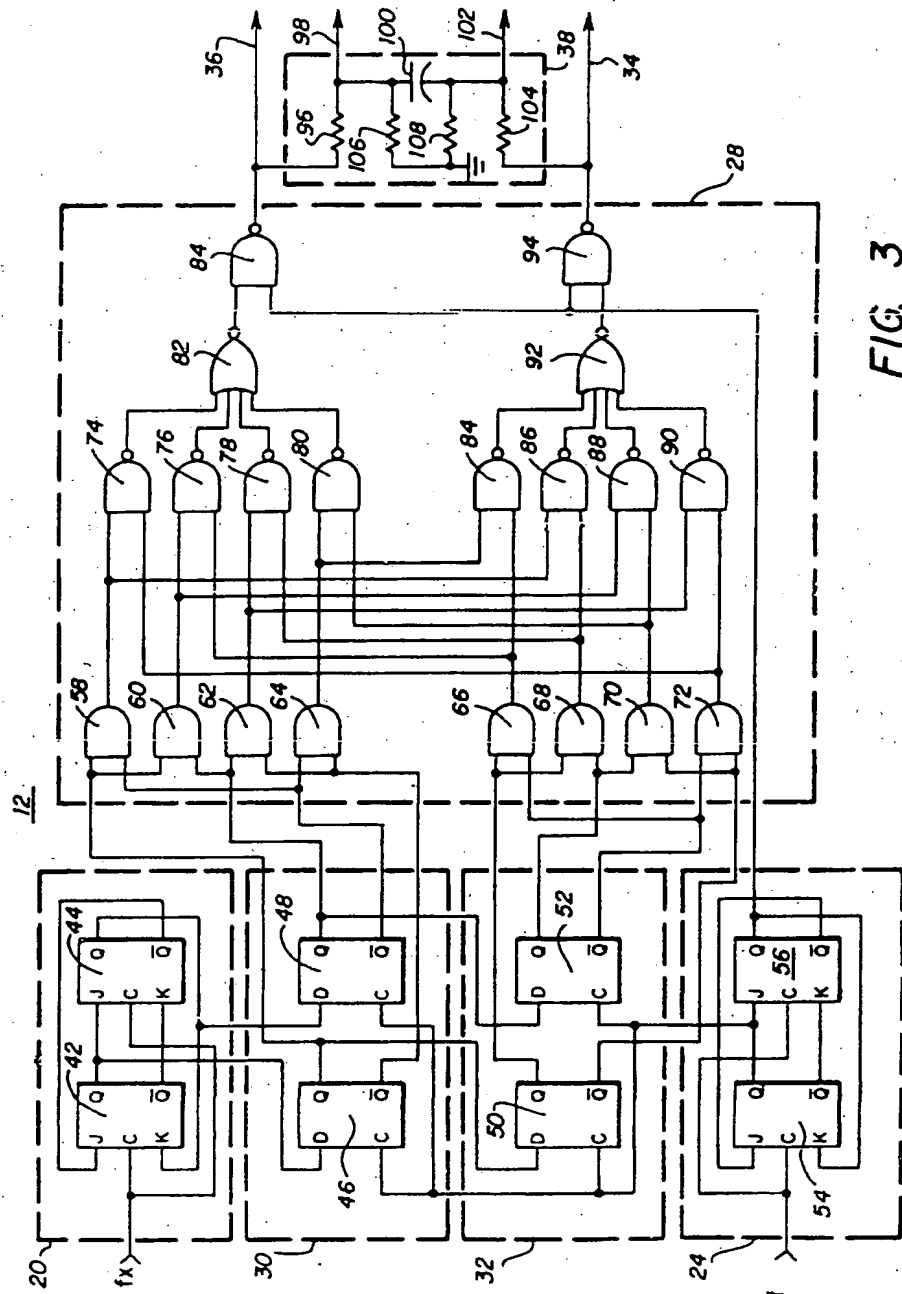


FIG. 3

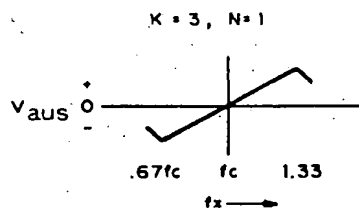


FIG. 5

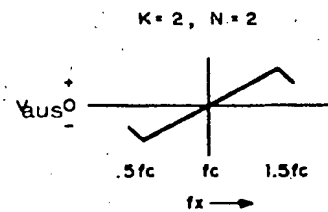


FIG. 6

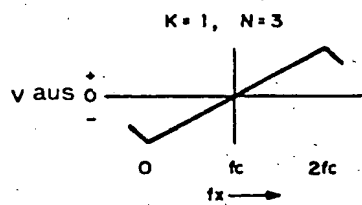


FIG. 7

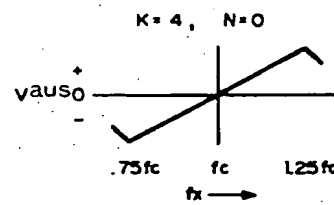


FIG. 8

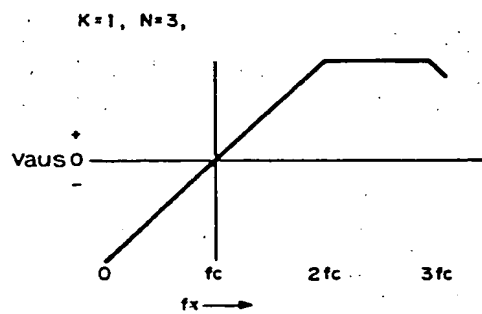
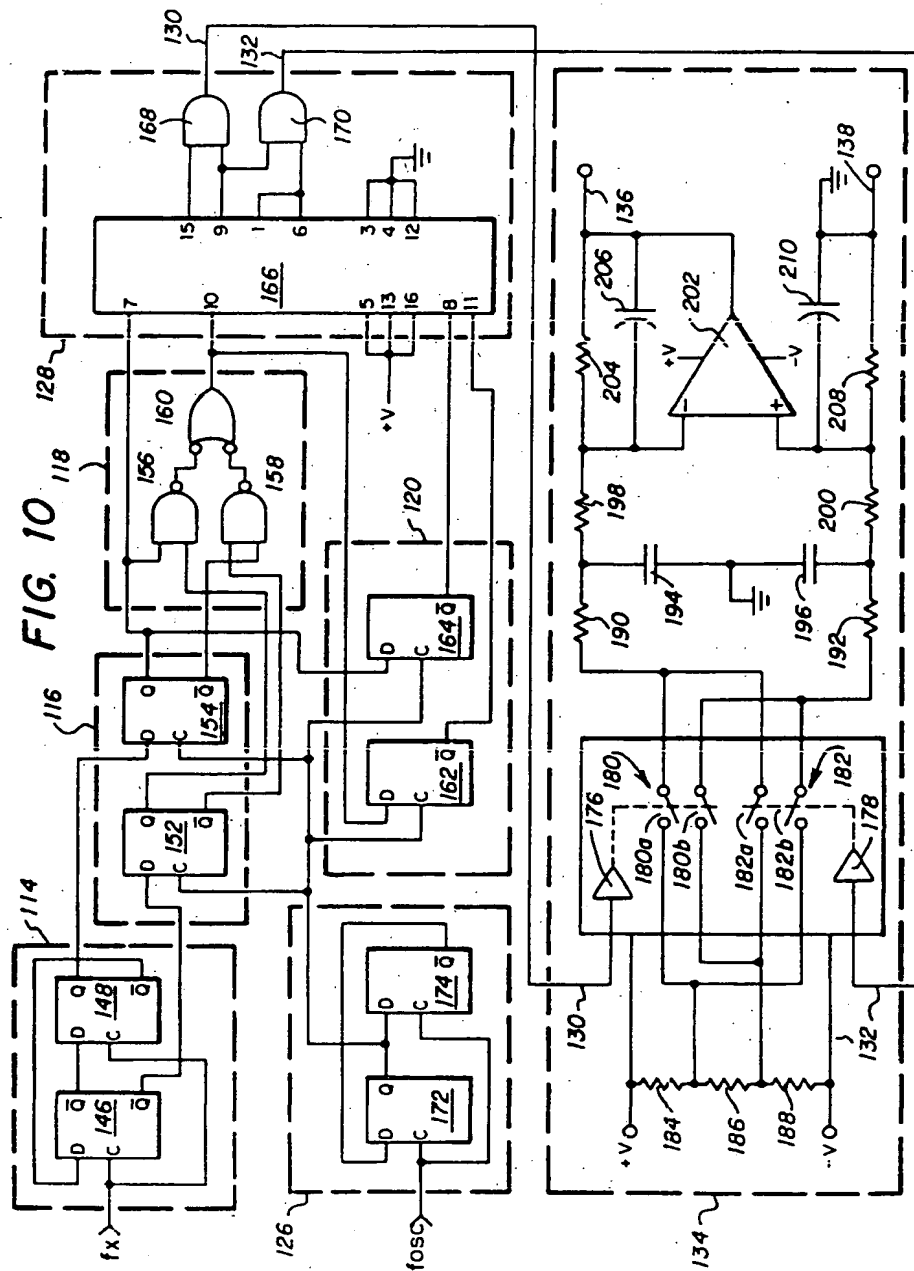


FIG. 9



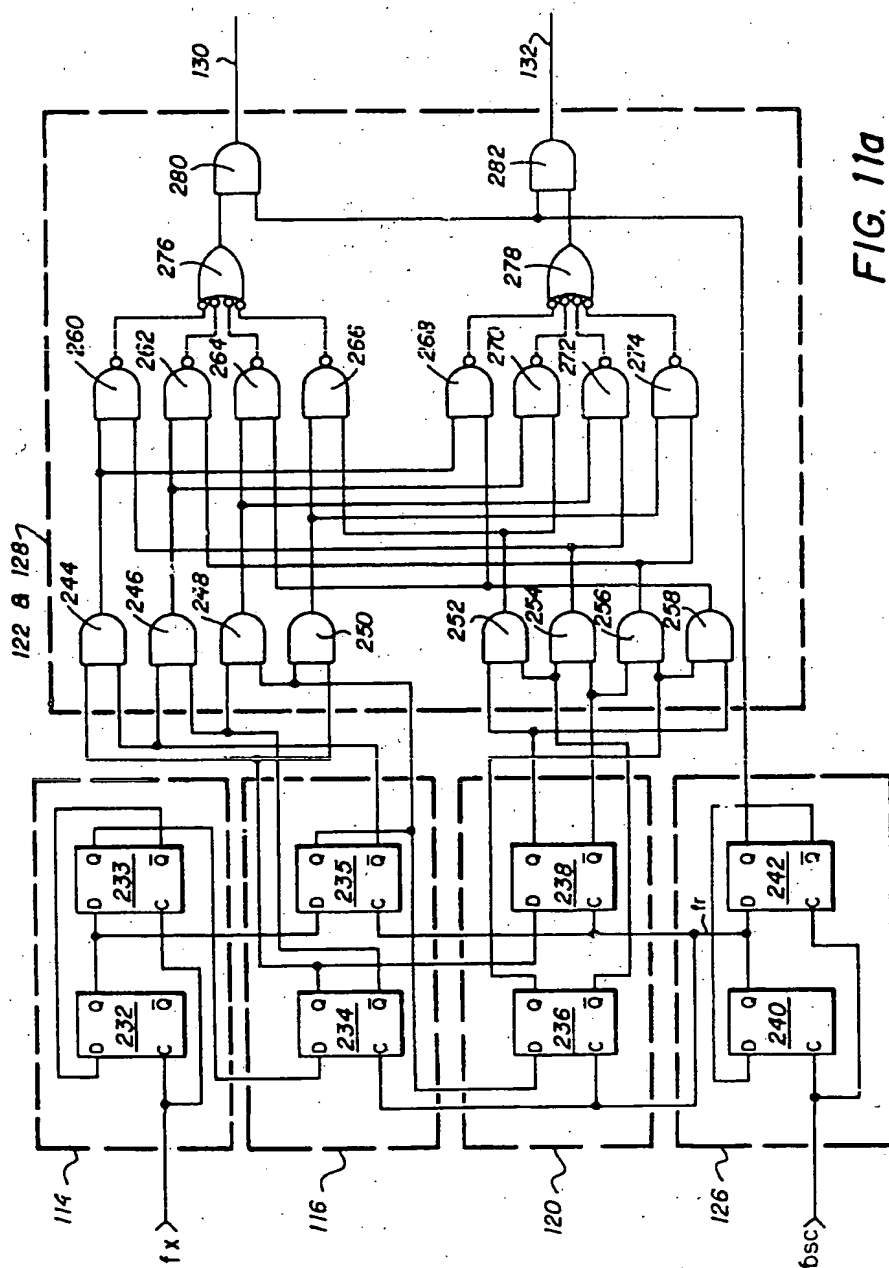


FIG. 11a

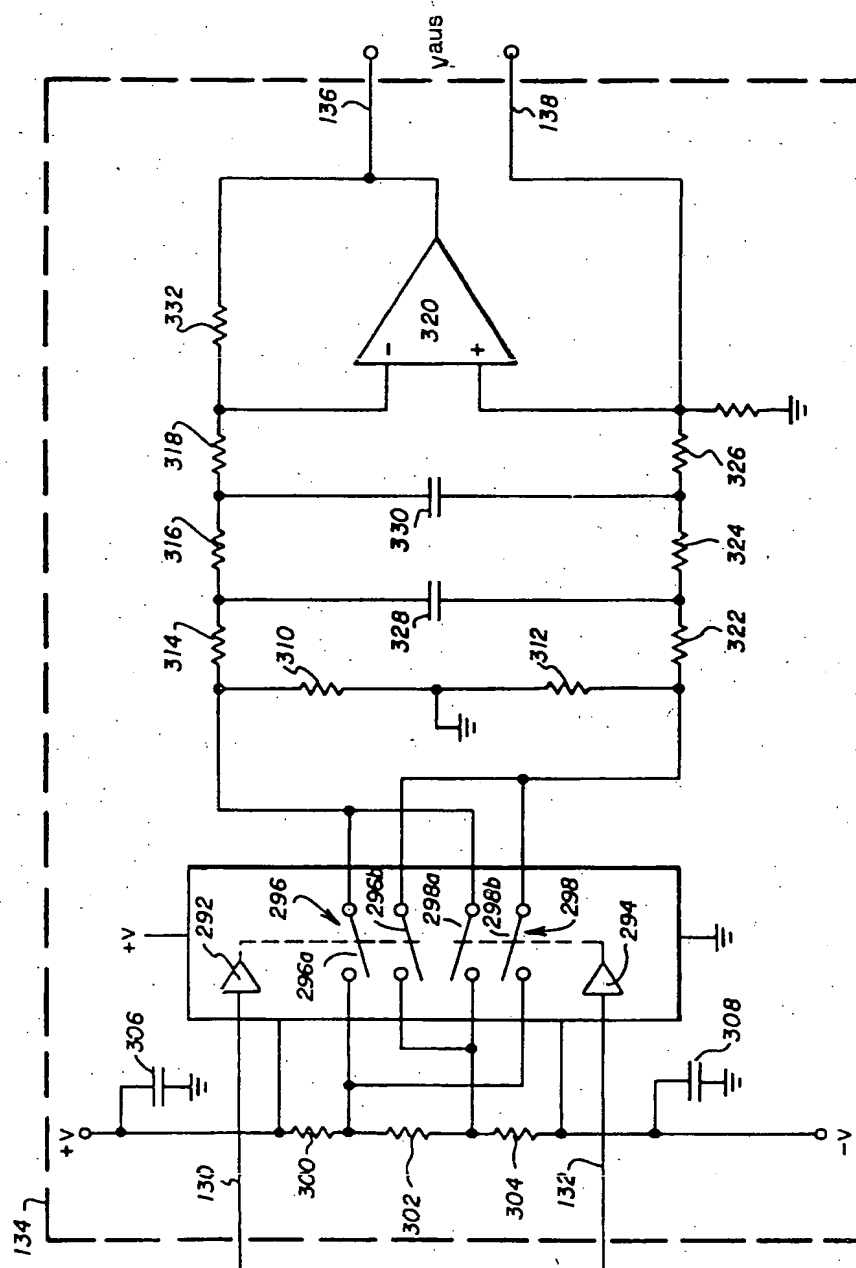
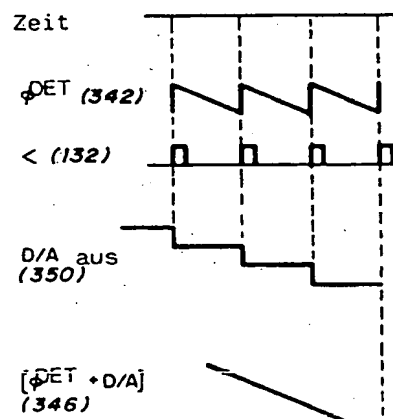
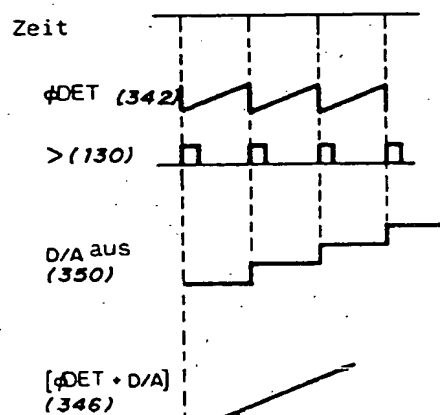
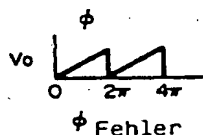
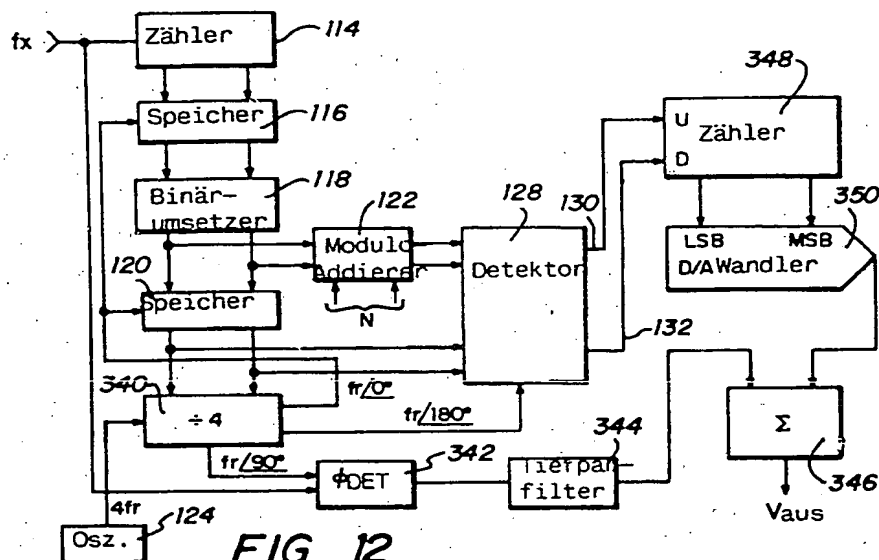


FIG. 11b





Deutsches Patent- und Markenamt

DEPATIS

Home · Neues · Einführung · Kontakt · Links · Hilfe · Impressum · Recherche · IPC

Familie > Trefferliste

Einsteiger | Experte | Ikofax | Familie | As

Suchanfrage:

DE0003031342C2

Treffer: 9 (Gesamttreffer: 9)

Trefferliste:

Patent Family DE 3031342

Nr.	Veröffentl.-Nummer	Titel	Anzeige PDF	Familie Recherche
1	CA0001157534A	[] WIDEBAND DIGITAL FREQUENCY DISCRIMINATOR AND PHASE AND FREQUENCY ...		
2	DE0003031342C2	[] Digital arbeitender Diskriminator		
3	DE0003031342A1	[DE] Breitbanddigitaldiskriminator		
4	GB0002059698B	[] WIDEBAND DIGITAL FREQUENCY DISCRIMINATOR AND PHASE AND FREQUENCY ...		
5	GB0002059698A	[] WIDEBAND DIGITAL FREQUENCY DISCRIMINATOR AND PHASE AND FREQUENCY ...		
6	JP0063048468B4			
7	JP0056054148AA	[EN] METHOD OF DEMODULATING FM SIGNAL AND WIDE BAND DIGITAL DISCRIMINATOR		
8	JP0001499811C			
9	US0004286223A	[] Wideband digital frequency discriminator and phase and frequency detector		

|< < > >|

This Page Blank (uspto)